

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 352:Derwent WPI

(c) 2001 Derwent Info Ltd. All rts. reserv.

010077359 **Image available**

WPI Acc No: 1994-345072/199443

Related WPI Acc No: 1994-345073; 1999-087751; 2000-682210; 2000-682211;
2001-011025

XRAM Acc No: C97-113558

XRPX Acc No: N97-291185

Thin film transistor manufacture using crystallisation catalysts - in the
semiconductor layer to promote crystallisation at low temperatures
avoiding distortion of the substrate

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME); SEMICONDUCTOR
ENERGY RES CO LTD (SEME); SEMICONDUCTOR ENERGY LAB CO INC (SEME)

Inventor: TAKAYAMA T; TAKEMURA Y; ZHANG H

Number of Countries: 005 Number of Patents: 013

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 6267978	A	19940922	JP 9378997	A	19930312	199443 B
US 5595944	A	19970121	US 94207182	A	19940308	199710
			US 94360600	A	19941221	
TW 236711	A	19941211	TW 94101957	A	19940307	199510
CN 1108004	A	19950906	CN 94104268	A	19940312	199732
US 5646424	A	19970708	US 94207182	A	19940308	199733
			US 95477941	A	19950607	
US 5773846	A	19980630	US 94207182	A	19940308	199833
			US 95449669	A	19950524	
CN 1215224	A	19990428	CN 94104268	A	19940312	199935
			CN 98116322	A	19940312	
US 6060725	A	20000509	US 94207182	A	19940308	200030
			US 95449669	A	19950524	
			US 97933342	A	19970919	
KR 194448	B1	19990701	KR 983945	A	19980211	200063
			KR 9854318	A	19981211	
KR 194450	B1	19990701	KR 944944	A	19940312	200063
			KR 983945	A	19980211	
KR 203982	B1	19990615	KR 944944	A	19940312	200063
CN 1275813	A	20001206	CN 94104268	A	19940312	200118
			CN 98116321	A	19940312	
US 6261875	B1	20010717	US 94207182	A	19940308	200148
			US 95449669	A	19950524	
			US 97933342	A	19970919	
			US 99432109	A	19991102	

Priority Applications (No Type Date): JP 9378997 A 19930312; JP 9378998 A
19930312

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
-----------	------	--------	----------	--------------

JP 6267978	A		5 H01L-021/336	
------------	---	--	----------------	--

US 5595944	A		13 H01L-021/265	Div ex application US 94207182 patent JP 6267978
------------	---	--	-----------------	---

TW 236711	A	H01L-021/331	
CN 1108004	A	H01L-029/36	patent JP 6267978
US 5646424	A	11 H01L-029/76	Cont of application US 94207182 patent JP 6267978
US 5773846	A	H01L-029/76	Div ex application US 94207182
CN 1215224	A	H01L-021/336	Div ex application CN 94104268
US 6060725	A	H01L-029/76	Div ex application US 94207182 Div ex application US 95449669 Div ex patent US 5773846
KR 194448	B1	H01L-029/786	Div ex application KR 983945
KR 194450	B1	H01L-029/786	Div ex application KR 944944
KR 203982	B1	H01L-029/78	
CN 1275813	A	H01L-029/786	Div ex application CN 94104268
US 6261875	B1	H01L-021/00	Div ex application US 94207182 Div ex application US 95449669 Div ex application US 97933342 Div ex patent US 5773846 Div ex patent US 6060725

Abstract (Basic): JP 6267978 A Dwg.1/2 US 5646424 A

A semiconductor device comprises: a semiconductor layer having a crystallinity formed on a substrate; a pair of impurity regions of P or N type conductivity formed in the semiconductor layer, wherein the semiconductor layer contains a catalyst at a concn. $<1 \times 10^{20}$ atoms/cm³ for promoting a crystallisation thereof. An inner edge of at least one of the impurity regions is substantially aligned with at least one edge of a gate electrode. Also claimed is a transistor.

USE - Fabrication of a thin film transistor device through steps of crystallisation and thermal activation annealing.

ADVANTAGE - Increased productivity by increased throughput by activation at a relatively low temp. for a short time; shrinkage and warping avoided; improved reliability and maintenance of transistor characteristics.

Dwg.1E/4

US 5595944 A

Insulated gate field effect transistor mfd. by: (i) forming a gate electrode on a glass substrate and a gate insulating layer on the electrode; (ii) forming over the gate insulating layer an amorphous silicon semiconductor layer, containing no more than 1×10^{20} atoms cm⁻³ of crystallisation catalyst; (iii) forming on the semiconductor layer, a mask, self-aligned with the gate electrode; (iv) optionally forming a metal film on the semiconductor layer, removing portions overlying the mask; (v) implanting metal ions either side of the mask, forming first (7a) and second regions (7b) or in the presence of the film, implanting the first region only.

Also claimed is a structure, the gate insulating layer and electrode being formed on the semiconductor layer.

USE - This invention relates to the fabrication of a thin film transistor, in particular one fabricated by crystallisation and thermal annealing.

ADVANTAGE - Prior art methods of producing crystallisation in thin film transistors, involves the use of process temperatures in excess of the substrate deformation temperature, i.e. 600 - 1000 deg. C for periods of 24 hours or more resulting in the shrinkage and warping of glass substrates.]This invention incorporates a catalyst to allow crystallisation to occur below the substrate deformation temperature, reducing process temperatures to at most 550 deg. C and times to at most 8 hours, avoiding substrate distortions and more efficient processing.

Dwg.1D/4

Title Terms: THIN; FILM; TRANSISTOR; MANUFACTURE; CRYSTAL; CATALYST;
SEMICONDUCTOR; LAYER; PROMOTE; CRYSTAL; LOW; TEMPERATURE; AVOID;
DISTORT; SUBSTRATE

Derwent Class: L03; U11; U12

International Patent Class (Main): H01L-021/00; H01L-021/265; H01L-021/331;

H01L-021/336; H01L-029/36; H01L-029/76; H01L-029/78; H01L-029/786

International Patent Class (Additional): H01L-021/20; H01L-021/324;

H01L-021/84; H01L-027/01; H01L-029/04; H01L-029/772; H01L-029/784

File Segment: CPI; EPI

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

04596078 **Image available**

THIN FILM TRANSISTOR AND MANUFACTURE THEREOF

PUB. NO.: **06-267978** [JP 6267978 A]

PUBLISHED: September 22, 1994 (19940922)

INVENTOR(s): CHIYOU KOUYUU

TAKAYAMA TORU

TAKEMURA YASUHIKO

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 05-078997 [JP 9378997]

FILED: March 12, 1993 (19930312)

INTL CLASS: [5] H01L-021/336; H01L-029/784; H01L-021/20; H01L-021/265;
H01L-021/324

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R004 (PLASMA); R044 (CHEMISTRY -- Photosensitive Resins);
R096 (ELECTRONIC MATERIALS -- Glass Conductors); R097
(ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS);
R100 (ELECTRONIC MATERIALS -- Ion Implantation)

JOURNAL: Section: E, Section No. 1647, Vol. 18, No. 673, Pg. 27,
December 19, 1994 (19941219)

ABSTRACT

PURPOSE: To lower a crystallization temperature and shorten a crystallization time by forming a gate electrode, a gate insulating film and a semiconductor layer on a substrate, an active region sandwiched by a pair of impurity regions is provided on the semiconductor layer and concentration of a catalytic element promoting crystallization in the impurity region is made larger than that of the active region.

CONSTITUTION: A gate electrode 2 is formed on a substrate and an anode oxide 3 is formed on the gate electrode 2. Further, a silicon nitride film 4 is formed as a gate insulating film by a plasma CVD method, continuously an amorphous silicon film is piled up by a plasma CVD method for forming a semiconductor layer 5 by patterning. Then, a pair of impurity regions 7a, 7b are formed on the semiconductor layer 5 for being further recrystallized by a crystallization promoting catalytic action of nickel larger than the active region. Continuously, a silicon oxide film 8 is formed as an interlayer insulator for forming the source/drain regions 9a, 9b. Thereby, a process of crystallization can be performed at lower temperature of a crystallization process so as to shorten crystallization.

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-267978

(43)公開日 平成6年(1994)9月22日

(51)Int.Cl.⁵

識別記号

庁内整理番号

FI

技術表示箇所

H01L 21/336

29/784

21/20

8122-4M

9056-4M

8617-4M

H01L 29/78

21/265

311 P

P

審査請求 未請求 請求項の数9 FD (全5頁) 最終頁に続く

(21)出願番号

特願平5-78997

(22)出願日

平成5年(1993)3月12日

(71)出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72)発明者 張 宏勇

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(72)発明者 高山 徹

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(72)発明者 竹村 保彦

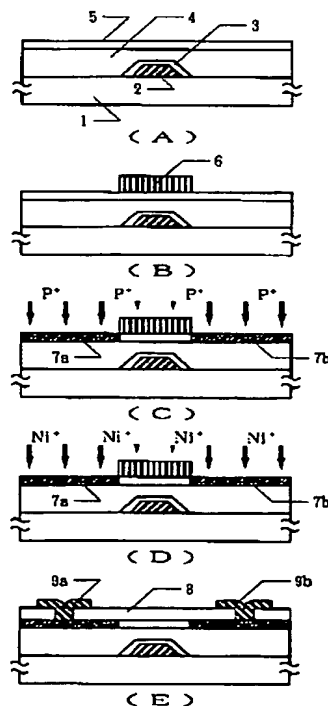
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(54)【発明の名称】 薄膜トランジスタおよびその作製方法

(57)【要約】

【目的】 信頼性と特性に優れたアモルファスシリコンの活性層を有する逆スタガー型薄膜トランジスタ(TFT)および、そのようなTFTを安価に製造する方法を提供する。

【構成】 基板上にゲイト電極、ゲイト絶縁膜、アモルファスシリコン膜を形成し、アモルファスシリコン膜に不純物を注入して、不純物領域(ソース、ドレイン領域)を形成した後、結晶化を促進する触媒元素を有する被膜を不純物領域に密着させるか、あるいは触媒元素をイオンドーピング法等の手段で不純物領域に導入し、しかる後に、基板の歪み温度よりも低い温度でアニールしてドーピング不純物の活性化をおこなう。



【特許請求の範囲】

【請求項 1】 基板上に形成されたゲイト電極と、ゲイト電極上に形成されたゲイト絶縁膜と、ゲイト絶縁膜上に形成された半導体層を有し、該半導体層には 1 対の不純物領域と不純物領域に挟まれた活性領域が設けられ、該不純物領域中の結晶化を促進する触媒元素の濃度は、活性領域のものより大きいことを特徴とする薄膜トランジスタ。

【請求項 2】 請求項 1 において、触媒元素は、ニッケル、鉄、コバルト、白金の少なくとも 1 つであることを特徴とする薄膜トランジスタ。

【請求項 3】 請求項 1 において、不純物領域の触媒元素の濃度は、活性領域の濃度ものの 10 倍以上であることを特徴とする薄膜トランジスタ。

【請求項 4】 請求項 1 において、活性領域は実質的にアモルファスシリコンであることを特徴とする薄膜トランジスタ。

【請求項 5】 基板上に形成されたゲイト電極と、ゲイト電極上に形成されたゲイト絶縁膜と、ゲイト絶縁膜上に形成された半導体層を有し、該半導体層には 1 対の不純物領域と不純物領域に挟まれた活性領域が設けられ、該不純物領域中の結晶化を促進する触媒元素の濃度が $1 \times 10^{17} \text{ cm}^{-3}$ もしくはそれを越える濃度であることを特徴とする薄膜トランジスタ。

【請求項 6】 請求項 5 において、触媒元素の濃度は 2 次イオン質量分析法によって測定された最低値であることを特徴とする薄膜トランジスタ。

【請求項 7】 基板上にゲイト電極を形成する第 1 の工程と、前記ゲイト電極を覆って、ゲイト絶縁膜を形成する第 2 の工程と、前記ゲイト絶縁膜上にアモルファスシリコン膜を形成する第 3 の工程と、前記ゲイト電極の形状に合わせて、前記アモルファスシリコン膜にドーピング不純物および結晶化を促進する触媒元素を添加する第 4 の工程と、を有することを特徴とする薄膜トランジスタの作製方法。

【請求項 8】 基板上にゲイト電極を形成する第 1 の工程と、前記ゲイト電極を覆って、ゲイト絶縁膜を形成する第 2 の工程と、前記ゲイト絶縁膜上にアモルファスシリコン膜を形成する第 3 の工程と、前記ゲイト電極の形状に合わせて、前記アモルファスシリコン膜にドーピング不純物を添加する第 4 の工程と、前記アモルファスシリコン膜上に触媒元素を有する材料を被着させる第 5 の工程とを有することを特徴とする薄膜トランジスタの作製方法。

【請求項 9】 請求項 8 において、触媒元素を有する材料は、触媒元素とシリコンの化合物であることを特徴と

する薄膜トランジスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、薄膜トランジスタ (TFT) およびその作製方法に関するものである。本発明によって作製される薄膜トランジスタは、ガラス等の絶縁基板上、単結晶シリコン等の半導体基板上、いずれにも形成される。特に本発明は、熱アニールによる結晶化、活性化を経て作製される薄膜トランジスタに関する。

【0002】

【従来の技術】 最近、絶縁基板上に、薄膜状の活性層 (活性領域ともいう) を有する絶縁ゲイト型の半導体装置の研究がなされている。特に、薄膜状の絶縁ゲイトトランジスタ、いわゆる薄膜トランジスタ (TFT) が熱心に研究されている。これらは、透明な絶縁基板上に形成され、マトリクス構造を有する液晶等の表示装置において、各画素の制御用に利用することや駆動回路に利用することが目的であり、利用する半導体の材料・結晶状態によって、アモルファスシリコン TFT や結晶性シリコン TFT というように区別されている。

【0003】 中でも、アモルファスシリコン TFT の作製には高温を必要としないので、大面積基板に作製した場合の歩留りが高く、既に実用化されている。一般的に実用化されているアモルファスシリコン TFT の構造は逆スタガー型 (もしくはボトムゲイト型) と呼ばれるもので、ゲイト電極が活性領域の下に位置する。

【0004】 その作製方法は以下のようなものである。まず、基板上にゲイト電極を形成した後に、ゲイト絶縁膜、活性層としてのアモルファスシリコン膜を形成する。そして、ソース、ドレイン領域として N 型の微結晶シリコン膜をアモルファスシリコン上に形成する。しかしながら、この際、N 型のシリコン膜と下地のアモルファスシリコン膜とのエッチングレートの差がほとんどないため、エッチングストッパーを設ける等の工夫が必要であった。

【0005】 この問題を解決するためには、イオンドーピング法のような高速イオンを注入することによって、アモルファスシリコン膜に直接、ドーピング不純物を導入して、これをソース、ドレインにする方法が提案されている。

【0006】

【発明が解決しようとする課題】 しかしながら、このような高速イオンが注入された領域は結晶性が著しく悪いので、導電率が低く、そのままでは使用できないという問題を抱えていた。結晶性を高めるにはレーザー等の光エネルギーによってアニールをおこなう方法が提案されていたが量産実用化の目処がっていない。

【0007】 現在、実用的に採用できる考えられる方法は、熱によってアモルファスシリコンを結晶化させる方

10

20

30

40

50

3

法である。しかし、最低でも600℃の温度でのアニールが要求され、基板の問題から実用的でない。すなわち、アモルファスシリコンTFTに使用される無アルカリガラス基板は、その歪み温度が600℃以下（コーニング7059の場合は593℃）であるので、600℃でのアニールでは、基板の収縮やソリが問題となる。

【0008】また、600℃のアニールが要求されるのでは、低温で作製できるアモルファスシリコンTFTの特徴を生かすことができず、活性領域も結晶化してしまうので、アモルファスシリコンTFTの低リーク電流という特徴が失われてしまう。そこで、結晶化のプロセスはより低温（好ましくはガラスの歪み温度より50℃以上低い温度）でおこなうことが望まれていた。本発明はこのような困難な課題に対して解答を与えんとするものである。本発明は、量産性を維持しつつ、上記の問題点を解決することを課題とする。

【0009】

【課題を解決するための手段】本発明者の研究の結果、実質的にアモルファス状態のシリコン被膜に微量の触媒材料を添加することによって結晶化を促進させ、結晶化温度を低下させ、結晶化時間を短縮できることが明らかになった。触媒材料としては、ニッケル（Ni）、鉄（Fe）、コバルト（Co）、白金（Pt）の単体、もしくはそれらの珪化物等の化合物が適している。具体的には、これらの触媒元素を有する膜、粒子、クラスター等をアモルファスシリコン膜の下、もしくは上に密着して形成し、あるいはイオン注入法等の方法によってアモルファスシリコン膜中にこれらの触媒元素を導入し、その後、これを適当な温度、典型的には550℃以下の温度で熱アニールすることによって結晶化させることができる。

【0010】当然のことであるが、アニール温度が高いほど結晶化時間は短いという関係がある。また、ニッケル、鉄、コバルト、白金の濃度が大きいほど結晶化温度が低く、結晶化時間が短いという関係がある。本発明者の研究では、結晶化を進行させるには、これらのうちの少なくとも1つの元素の濃度が 10^{17} cm^{-3} 以上、好ましくは $5 \times 10^{18} \text{ cm}^{-3}$ 以上存在することが必要であることがわかった。

【0011】一方、上記触媒材料はいずれもシリコンにとっては好ましくない材料であるので、できるだけその濃度が低いことが望まれる。本発明者の研究では、これらの触媒材料の濃度は合計して 10^{20} cm^{-3} を越えないことが望まれる。特に活性層として利用する場合には、十分な信頼性および特性を得るために $1 \times 10^{18} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{17} \text{ cm}^{-3}$ 以下の濃度であることが必要とされる。

【0012】本発明人は、この触媒元素の効果に着目し、これを利用することによって上記の問題を解決できることを見出した。本発明におけるTFTの作製プロセ

4

スは、概ね以下のようなものである。

- ゲイト電極の形成
- ゲイト絶縁膜の成膜
- アモルファスシリコン膜の成膜
- ドーピング不純物の導入（イオン注入もしくはイオンドーピング法による）
- 触媒元素を有する物質のシリコン膜への成膜
- ドーピング不純物の活性化（550℃以下、8時間以内）
- ソース、ドレイン電極の形成

【0013】あるいは、

- ゲイト電極の形成
- ゲイト絶縁膜の成膜
- アモルファスシリコン膜の成膜
- ドーピング不純物の導入（イオン注入もしくはイオンドーピング法による）
- 触媒元素の導入（イオン注入もしくはイオンドーピング法による）
- ドーピング不純物の活性化（550℃以下、8時間以内）
- ソース、ドレイン電極の形成

【0014】これらの工程において、「および」はその順序を逆転させることも可能である。本発明において、上記工程「」によって主としてソース、ドレイン領域に導入された触媒元素は、その領域の結晶化を著しく促進する。そのため、活性化のためには、550℃以下、典型的には500℃以下の温度で十分であり、また、アニール時間も8時間以内、典型的には4時間以内で十分である。特に、後者のようにイオン注入法やイオンドーピング法によって最初から均等に触媒元素が分布している場合には、極めて結晶化が進行しやすかった。この場合、触媒元素の導入には、ドーピング不純物の導入に使用するマスクを使用すればよい。このようなマスクは、ゲイト電極を裏面から露光することによって自己整合的に得ることができる。

【0015】本発明の優れた点は、シリコンに有害な触媒元素をTFTに添加するものの、その濃度は活性領域では著しく低い（ $1 \times 10^{18} \text{ cm}^{-3}$ 以下）ことである。すなわち、いずれのプロセスを採用しても、活性領域の上にドーピングに使用されるマスクが存在するので、活性領域にじかに触媒元素が密着したり、注入されたりすることはない。その結果、TFTの信頼性、特性は何ら損なわれることはない。特に、不純物領域と活性領域のニッケルの濃度比を10倍以上にすれば、アニール温度と時間の最適化によって、活性領域のアモルファス性を保ちつつ、不純物領域の活性化をおこなうことができた。以下に実施例を用いて、より詳細に本発明を説明する。

【0016】

【実施例】

〔実施例1〕 図1に本実施例の作製工程の断面図を示す。まず、基板（コーニング7059）1上に厚さ3000～8000Å、例えば5000Åのタンタル膜を形成し、これをパターニングしてゲート電極2を形成した。さらに、タンタルの表面を陽極酸化して、陽極酸化物3を厚さ1000～3000Å、例えば2000Å形成した。さらに、プラズマCVD法によってゲート絶縁膜として厚さ1000～5000Å、例えば1500Åの窒化珪素膜4を堆積し、引き続きプラズマCVD法によって、厚さ200～1500Å、例えば500Åの真性（I型）のアモルファスシリコン膜を堆積し、パターニングして半導体領域5とした。（図1（A））

【0017】次に、基板表面にフォトレジストを塗布し、基板裏面からの露光によって、ゲート電極のパターンに合わせてマスク6を形成した。（図1（B））そして、このマスク6を用いて、イオンドーピング法によって、半導体領域5に不純物（燐）を注入した。ドーピングガスとして、フォスフィン（ PH_3 ）を用い、加速電圧を60～90kV、例えば80kVとした。ドーピング量は $1 \times 10^{15} \sim 8 \times 10^{15} \text{ cm}^{-2}$ 、例えば、 $2 \times 10^{15} \text{ cm}^{-2}$ とした。この結果、N型の不純物領域7a、7bが形成された。（図1（C））

【0018】さらに、イオンドーピング法によって、マスク6を用いて、今度はニッケルイオンを注入した。ドーピング量は $2 \times 10^{13} \sim 2 \times 10^{14} \text{ cm}^{-2}$ 、例えば $5 \times 10^{13} \text{ cm}^{-2}$ とした。この結果、N型の不純物領域26a、26bのニッケルの濃度は、 $5 \times 10^{18} \text{ cm}^{-3}$ 程度になった。（図1（D））

【0019】その後、水素雰囲気（好ましくは水素の分圧が0.1～1気圧）中500℃で4時間アニールすることによって、不純物を活性化させた。このとき、先にニッケルイオンが注入された不純物領域はニッケルの結晶化促進触媒作用によって再結晶化が容易に進行した。こうして不純物領域7a、7bを活性化した。

【0020】続いて、厚さ3000Åの酸化珪素膜8を層間絶縁物としてプラズマCVD法によって形成し、これにコンタクトホールを形成して、金属材料、例えば、窒化チタンとアルミニウムの多層膜によってTFTのソース領域、ドレイン領域の電極・配線9a、9bを形成した。以上の工程によって薄膜トランジスタが完成した。（図1（E））

得られた薄膜トランジスタの不純物領域、活性領域のニッケルの濃度を2次イオン質量分析（SIMS）法によって測定したところ、前者は、 $1 \times 10^{18} \sim 5 \times 10^{18} \text{ cm}^{-3}$ 、後者は測定限界（ $1 \times 10^{16} \text{ cm}^{-3}$ ）以下であった。

【0021】〔実施例2〕 図2に本実施例の作製工程の断面図を示す。まず、基板（コーニング7059）11上に厚さ3000～8000Å、例えば5000Åのタンタル膜を形成し、これをパターニングしてゲート電

極12を形成した。さらに、タンタルの表面を陽極酸化して、陽極酸化物13を厚さ1000～3000Å、例えば2000Å形成した。さらに、プラズマCVD法によってゲート絶縁膜として厚さ1000～5000Å、例えば1500Åの窒化珪素膜14を堆積し、引き続きプラズマCVD法によって、厚さ200～1500Å、例えば500Åの真性（I型）のアモルファスシリコン膜を堆積し、パターニングして半導体領域15とした。（図2（A））

10 【0022】次に、基板表面にフォトレジストを塗布し、基板裏面からの露光によって、ゲート電極のパターンに合わせてマスク16を形成した。（図2（B））そして、このマスク16を用いて、イオンドーピング法によって、半導体領域15に不純物（燐）を注入した。ドーピングガスとして、フォスフィン（ PH_3 ）を用い、加速電圧を60～90kV、例えば80kVとした。ドーピング量は $1 \times 10^{15} \sim 8 \times 10^{15} \text{ cm}^{-2}$ 、例えば、 $2 \times 10^{15} \text{ cm}^{-2}$ とした。この結果、N型の不純物領域17a、17bが形成された。（図2（C））

20 【0023】次に、スパッタリング法によって、平均的に厚さ5～200Å、例えば20Åの珪化ニッケル膜（化学式 NiSi_x 、 $0.4 \leq x \leq 2.5$ 、例えば、 $x = 2.0$ ）18を図に示すように全面に形成した。20Å程度の厚さでは膜は連続的なものではなく、どちらかという粒子の集合体の様相を呈していたが、本実施例では問題はない。（図2（D））

30 【0024】その後、水素雰囲気（好ましくは水素の分圧が0.1～1気圧）中450℃で4時間アニールすることによって、不純物を活性化させた。このとき、N型不純物領域17aおよび17bには、珪化ニッケル膜18からニッケル原子が拡散し、ニッケルの結晶化促進触媒作用によって再結晶化が容易に進行した。こうして不純物領域17a、17bを活性化した。

40 【0025】続いて、厚さ3000Åの酸化珪素膜19を層間絶縁物としてプラズマCVD法によって形成し、これにコンタクトホールを形成して、金属材料、例えば、窒化チタンとアルミニウムの多層膜によってTFTのソース領域、ドレイン領域の電極・配線20a、20bを形成した。以上の工程によって薄膜トランジスタが完成した。（図2（E））

得られた薄膜トランジスタの不純物領域、活性領域のニッケルの濃度を2次イオン質量分析（SIMS）法によって測定したところ、前者は、 $1 \times 10^{19} \sim 3 \times 10^{19} \text{ cm}^{-3}$ 、後者は $1 \times 10^{16} \sim 5 \times 10^{16} \text{ cm}^{-3}$ であった。

【0026】

50 【発明の効果】本発明は、従来は、N型シリコン膜の成膜によって作製されていたソース、ドレイン領域を、イオンドーピング法によって行ううえでは欠かすことのできない技術である。本発明が、他の競合する技術、例え

7

8

ばレーザーアニール技術、に比較して歩留り、信頼性の点で優れていることは先に示したとおりである。このように本発明は工業上有益な発明である。

【図面の簡単な説明】

【図 1】 実施例 1 の作製工程断面図を示す。

【図 2】 実施例 2 の作製工程断面図を示す。

【符号の説明】

1・・・基板

2・・・ゲート電極 (タンタル)

3・・・陽極酸化物 (酸化タンタル)

4・・・ゲート絶縁膜 (窒化珪素)

5・・・半導体領域 (アモルファスシリコン)

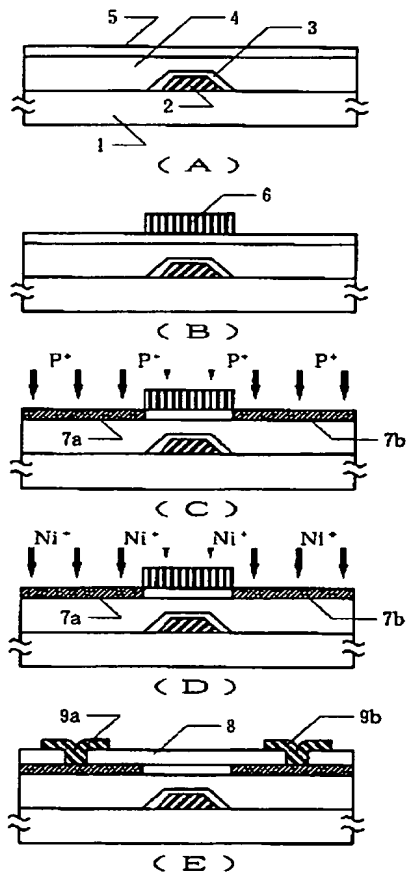
6・・・マスク

7・・・ソース、ドレイン領域

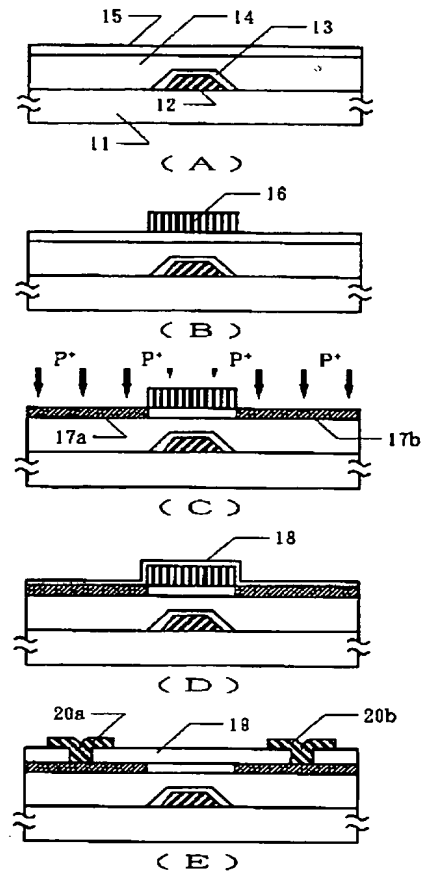
8・・・層間絶縁物 (酸化珪素)

9・・・金属配線・電極 (窒化チタン/アルミニウム)

【図 1】



【図 2】



フロントページの続き

(51) Int. Cl. ⁵

H 0 1 L 21/265

21/324

識別記号

庁内整理番号

F I

技術表示箇所

Z 8617-4M